

## ZAPYTANIE OFERTOWE NR 03/2020

dotyczące postępowania prowadzonego w oparciu o zasady uczciwej konkurencji i równego traktowania wykonawców, jawności, gospodarności, bezstronności oraz obiektywizmu dla zamówień publicznych o wartości wyższej niż lub równiej 120.000 zł, zgodnie z regulaminem konkursu realizowanego w ramach konkursu Ścieżka dla Mazowsza ogłoszonego przez Narodowe Centrum Badań i Rozwoju

### 1. Zamawiający

#### **ChipCraft Sp. z o.o.**

ul. Bohdana Dobrzańskiego 3 lok. BS073  
20-262 Lublin  
NIP 9462659910  
REGON 364311086

### 2. Opis przedmiotu zamówienia

- A) Przedmiotem zamówienia jest usługa polegająca na dostawie komercyjnych licencji oprogramowania EDA/CAD do projektowania układów scalonych niezbędnych do realizacji projektu pod nazwą: "Mikrokontroler nawigacyjny do centymetrowej nawigacji satelitarnej ze sprzętowym uwierzytelnianiem pozycji dla urządzeń autonomicznych".
- B) Uszczegółowienie opisu przedmiotu zamówienia stanowi Załącznik nr 2.
- C) Zamawiający nie dopuszcza możliwości składania ofert częściowych i wariantowych.
- D) Zamawiający nie przewiduje możliwości udzielania zamówień uzupełniających.
- E) Termin związania ofertą: minimum 5 dni.
- F) Zamawiający nie jest zobligowany do prowadzenia postępowania według ustawy o zamówieniach publicznych.

### 3. Termin wykonania zamówienia

Planowany okres realizacji usługi: nie dłuższy niż 30 dni od daty przyjęcia zamówienia do realizacji.

#### **4. Warunki udziału w postępowaniu oraz opis sposobu dokonywania oceny ich spełnienia**

##### **A) Kwalifikowalność wykonawcy**

W postępowaniu mogą brać udział jedynie wykonawcy znajdujący się w sytuacji ekonomicznej i finansowej zapewniającej należyte wykonanie przedmiotu zamówienia.

Z postępowania wyklucza się wykonawców:

- w stosunku do których otwarto likwidację lub ogłoszono upadłość
- którzy złożyli nieprawdziwe informacje mające wpływ lub mogące mieć wpływ na wynik prowadzonego postępowania
- powiązanych z Zamawiającym
- złożyli ofertę niekompletną, częściową lub wariantową

Ofertę wykonawcy wykluczonego uznaje się za odrzuconą.

##### **B) Kompletność oferty**

Oferta powinna składać się z następujących dokumentów i załączników podpisanych przez wykonawcę:

- Załącznik nr 1 - Formularz ofertowy przygotowany zgodnie ze wzorem załączonym do zapytania ofertowego
- Załącznik nr 2 - Pełnomocnictwo upoważnionej osoby podpisującej Ofertę (*jeżeli dotyczy*)

##### Wytyczne dotyczące składanych dokumentów:

Wypełniony i podpisany Formularz ofertowy należy złożyć zgodnie z obowiązującymi wzorami załączonymi do niniejszego Zapytania Ofertowego.

Dokumenty w niniejszym postępowaniu muszą być podpisane przez osobę (osoby) uprawnione do podpisania oferty.

Dopuszcza się złożenie oferty w języku polskim i/lub w języku angielskim.

Zamawiający odrzuci ofertę, jeżeli jej treść nie odpowiada treści niniejszego zapytania ofertowego.

Ocena spełnienia warunków udziału w postępowaniu dokonywana będzie w oparciu o dokumenty złożone przez Wykonawcę w niniejszym postępowaniu metodą warunku granicznego: spełnia - nie spełnia, przy czym podstawą do oceny spełnienia warunków będzie kwalifikowalność wykonawcy oraz kompletność oferty.

##### **C) Kryteria i sposób oceny ofert**

Przy wyborze oferty, Zamawiający będzie kierował się zasadą uczciwej konkurencji i równego traktowania wykonawców, jawności, gospodarności, bezstronności oraz obiektywizmu.

Cena w ofercie musi obejmować wszystkie koszty i składniki związane z wykonaniem zamówienia oraz warunkami stawianymi przez Zamawiającego. Nie dopuszcza się wariantowości cen.

Przy wyborze oferty, Zamawiający będzie stosował następujące kryteria: Cena - 100%

#### Cena ( C )

Wykonawca, który zaoferował najniższą cenę netto otrzyma maksymalną liczbę punktów - 100. Dla pozostałych Wykonawców punktacja za cenę będzie obliczana wg następującego wzoru:

$$C = (\text{najniższa oferowana cena netto} / \text{cena netto w rozpatrywanej ofercie}) * 100$$

Cena całkowita musi być podana w wartości netto i brutto z rozbiem na wartości poszczególnych zadań, musi być podana w określonej w Formularzu ofertowym walucie.

Cena w ofercie musi obejmować wszystkie koszty i składniki związane z wykonaniem zamówienia oraz warunkami stawianymi przez Zamawiającego. Nie dopuszcza się wariantowości cen.

W przypadku, gdy oferty wpłyną w różnych walutach, Zamawiający dla potrzeb oceny ofert dokona przeliczenia na PLN wysokości oferty po średnim kursie NBP z ostatniego dnia wyznaczonego na składanie ofert.

Wykonanie zamówienia zostanie powierzone Wykonawcy, który uzyskał najwyższą łączną liczbę punktów.

#### **D) Sposób przygotowania oferty**

Wykonawca może złożyć jedną ofertę, w formie pisemnej, w języku polskim i/lub języku angielskim. W przypadku złożenia oferty w obu językach, za wiążącą będzie uważana wersja polska.

Oferta oraz wymagane załączniki składane wraz z ofertą wymagają podpisu osób uprawnionych do reprezentowania firmy w obrocie gospodarczym, zgodnie z aktem rejestracyjnym oraz przepisami prawa.

Dokumenty powinny być sporządzone zgodnie z zaleceniami oraz przedstawionymi przez Zamawiającego wzorami, zawierać informacje i dane określone w tych dokumentach.

Poprawki w ofercie muszą być naniesione czytelnie oraz opatrzone podpisem osoby/osób podpisującej ofertę.

W celu ułatwienia zapoznania się z treścią oferty zaleca się, aby wszystkie strony oferty były ponumerowane oraz połączone w sposób trwały.

#### **E) Termin i sposób składania ofert**

Oferty należy składać do dnia: 25.01.2021 r., do godz.12:00 na adres e-mail osoby uprawnionej do kontaktu z wykonawcami. W tytule maila należy zawrzeć: "[NaviSoC2] Oferta dotycząca zapytania nr 03/2020". Oferty, które wpłyną po terminie, pozostaną bez ich oceny, jako nieważne.

### Termin związania ofertą

Bieg terminu związania z ofertą rozpoczyna się wraz z upływem terminu składania ofert. Wykonawca pozostaje związany ofertą przez okres do 5 dni od dnia zamknięcia naboru ofert. W uzasadnionych przypadkach, na co najmniej 2 dni przed upływem terminu związania ofertą Zamawiający może zwrócić się do Wykonawców o wyrażenie zgody na przedłużenie tego terminu o oznaczony okres. Wykonawca może przedłużyć termin związania ofertą samodzielnie, zawiadamiając o tym Zamawiającego.

### **F) Informacje na temat zakresu wykluczenia (w odniesieniu do podmiotów powiązanych)**

W celu uniknięcia konfliktu interesów zamówienia publiczne, z wyjątkiem zamówień sektorowych, udzielanie przez beneficjenta nie będącego podmiotem zobowiązanym do stosowania ustawy Pzp zgodnie z art.3 ustawy Pzp, nie mogą być udzielane podmiotom powiązanim z nim osobowo lub kapitałowo. Przez powiązania kapitałowe lub osobowe rozumie się wzajemne powiązania między beneficjentem lub osobami upoważnionymi do zaciągania zobowiązań w imieniu beneficjenta czynności związane z przygotowaniem i przeprowadzeniem procedury wyboru Wykonawcy a Wykonawcą, polegające w szczególności na:

- powiązany lub będący jednostką zależną, współzależną lub dominującą w relacji z Beneficjentem w rozumieniu ustawy z dnia 29 września 1994 r. o rachunkowości;
- będący podmiotem pozostającym z Beneficjentem lub członkami ich organów w takim stosunku faktycznym lub prawnym, który może budzić uzasadnione wątpliwości co do bezstronności w wyborze dostawcy towaru lub usługi, w szczególności pozostającym w związku małżeńskim, stosunku pokrewieństwa lub powinowactwa do drugiego stopnia włącznie, stosunku przysposobienia, opieki lub kurateli, także poprzez członkostwo w organach dostawcy towaru lub usługi;
- będący podmiotem powiązanim lub podmiotem partnerskim w stosunku do Beneficjenta w rozumieniu Rozporządzenia nr 651/2014;
- będący podmiotem powiązanim osobowo z Beneficjentem w rozumieniu art. 32 ust. 2 ustawy z dnia 11 marca 2004 r. o podatku od towarów i usług.

### **5. Określenie warunków zmian umowy zawartej w wyniku przeprowadzonego postępowania o udzielenie zamówienia publicznego**

Zamawiający przewiduje możliwość dokonania zmian postanowień zawartej umowy w stosunku do treści oferty, na podstawie której dokonano wyboru Wykonawcy, w następującym zakresie:

- Rozwiązania umowy, jeżeli Zamawiający nie otrzyma dofinansowania w ramach konkursu prowadzonego przez Narodowe Centrum Badań i Rozwoju
- Zmiany harmonogramu realizacji umowy wynikające z postanowień umowy Zamawiającego z NCBiR, jeżeli umowa ta została zawarta lub zmieniona aneksem po udzieleniu zamówienia
- Zmiany ceny (brutto) wynikającej ze zmiany obowiązujących przepisów dotyczących podatku VAT

## 6. Informacje o formalnościach, jakie winny być dopełnione po wyborze oferty w celu zawarcia umowy

1. Zamawiający potwierdzi przyjęcie zlecenia Wykonawcy, który przedłoży najkorzystniejszą ofertę pod warunkiem pozyskania dofinansowania na realizację projektu.
2. W przypadku, gdy okaże się, że Wykonawca, którego oferta została wybrana nie zrealizuje usługi zgodnie z warunkami oferty, Zamawiający może wybrać ofertę Wykonawcy, którego oferta jako kolejna została uznana za najkorzystniejszą, chyba że nie ma takiej możliwości, wówczas postępowanie zostanie unieważnione.
3. Zamawiający może unieważnić postępowanie jeżeli cena najkorzystniejszej oferty przekroczy kwotę przeznaczoną na finansowanie zamówienia.

## 7. Postanowienia końcowe.

Zamawiający nie zwraca wykonawcom kosztów przygotowania ofert i innych kosztów udziału w postępowaniu.

Wszelkie oświadczenia, wnioski, zawiadomienia oraz informacje Zamawiający i wykonawcy przekazują drogą elektroniczną.

W uzasadnionych przypadkach Zamawiający może przed upływem terminu składania ofert zmodyfikować treść zapytania ofertowego. Wszelkie modyfikacje, uzupełnienia i ustalenia oraz zmiany, w tym zmiany terminów jak również pytania Wykonawców wraz z wyjaśnieniami stają się integralną częścią zapytania ofertowego i będą wiążące przy składaniu ofert. Wszelkie prawa i zobowiązania Wykonawcy odnośnie wcześniej ustalonych terminów będą podlegały nowemu terminowi.

Wyniki postępowania konkursowego zostaną upublicznione na stronie: <http://chipcraft-ic.com>

Osoba uprawniona do kontaktów z Wykonawcami:

Tomasz Borejko

e-mail: [t.borejko@chipcraft-ic.com](mailto:t.borejko@chipcraft-ic.com)

## 8. Lista załączników do zapytania ofertowego:

Załącznik nr 1 – Formularz ofertowy

Załącznik nr 2 – Uszczegółowienie opisu przedmiotu zamówienia

### Uszczegółowienie opisu przedmiotu zamówienia

Przedmiot zamówienia obejmuje zakup komercyjnych licencji oprogramowania EDA/CAD do projektowania układów scalonych

Przedmiotem zamówienia jest specjalistyczne oprogramowanie komputerowe EDA/CAD do projektowania układów scalonych. Oprogramowanie musi umożliwiać 36 miesięczną pracę przy projektowaniu układów scalonych analogowych, mieszanych i cyfrowych. Oprogramowanie EDA/CAD powinno pracować pod kontrolą systemu operacyjnego Linux klasy Enterprise i musi być kompatybilne z systemem RHEL-64bit serii 6.x lub jego klonami (np. CentOS 6.x lub Scientific Linux 6.x).

Oprogramowanie ma stanowić zintegrowany pakiet i umożliwiać przeprowadzenie pełnej ścieżki projektowej oraz weryfikację układów analogowych, mieszanych i cyfrowych. W pakiecie powinny znajdować się następujące narzędzia:

- edytor schematów elektrycznych,
- symulator układów elektrycznych,
- edytor topografii masek produkcyjnych układów scalonych,
- symulator układów cyfrowych,
- zintegrowane narzędzie do automatycznej syntezy układów cyfrowych od poziomu kodu w języku opisu sprzętu na poziomie RTL (ang. *Register Transfer Level*) do projektu topografii masek produkcyjnych w formacie GDSII,
- narzędzie do formalnego sprawdzania równoważności pomiędzy kodem HDL a wygenerowaną netlistą,
- narzędzie do optymalizacji generacji drzewa zegarowego w technologiach nanometrowych,
- narzędzie do weryfikacji topografii masek produkcyjnych pod kątem reguł projektowych DRC oraz zgodności zaprojektowanej topografii ze schematem elektrycznym LVS,
- narzędzie do ekstrakcji elementów pasożytniczych RC z zaprojektowanej topografii masek produkcyjnych.

### Specyfikacja techniczna:

L.p.	Parametr techniczny	Wymagany przez Zamawiającego (funkcjonalności)
1.	Opis ogólny	<ul style="list-style-type: none"> <li>• pakiet oprogramowania EDA/CAD do projektowania układów scalonych</li> <li>• pakiet powinien umożliwiać przeprowadzenie pełnej ścieżki projektowej oraz weryfikację układów analogowych, mieszanych i cyfrowych</li> <li>• oprogramowanie powinno być zintegrowane, co oznacza możliwość pracy narzędzi z jednolitą bazą danych projektu (np. <i>OpenAccess</i>)</li> <li>• oprogramowanie musi współpracować z zestawem plików konfiguracyjnych, technologicznych i modeli oraz z PDK (ang. <i>Process Design Kit</i>) dla technologii TSMC 40nm, 65nm, 180nm; HHGrace 90nm, 110nm; GF 22nm, 40nm, 55nm, X-Fab 130nm, 180nm; STM 28nm; VIS 110nm, 150nm; UMC 55nm, 130nm; LFoundry 110nm, 150nm</li> </ul>

2.	Edytor schematów elektrycznych (np. <i>Virtuoso Schematic Editor L</i> lub równoważny)	<ul style="list-style-type: none"> <li>• możliwość uruchamiania jednocześnie przynajmniej dwóch niezależnych edytorów – możliwość równoległej pracy dwóch użytkowników edytora schematów</li> <li>• wsparcie dla projektów hierarchicznych zawierających różne reprezentacje układów i ich modeli: schemat elektryczny, kody Verilog, VHDL i Verilog AMS</li> <li>• hierarchiczne podświetlanie połączeń</li> <li>• hierarchiczne wyszukiwanie połączeń i instancji</li> <li>• obsługa parametryzowanych modeli przyrządów P-Cells (ang. <i>Parametrized Cells</i>) dostarczanych przez fabryki półprzewodników TSMC 40nm, 65nm, 180nm; HHGrace 90nm, 110nm; GF 22nm, 40nm, 55nm, X-Fab 130nm, 180nm; STM 28nm; VIS 110nm, 150nm; UMC 55nm, 130nm; LFoundry 110nm, 150nm</li> </ul>
3.	Symulator układów elektronicznych (np. <i>Spectre Multi-Mode Simulation with Spectre X</i> lub równoważny) wraz z zintegrowanym środowiskiem symulacyjnym (np. <i>Virtuoso ADE Explorer</i> lub równoważny)	<ul style="list-style-type: none"> <li>• zintegrowany ze środowiskiem graficznym umożliwiającym konfigurację i uruchamianie symulacji analogowych oraz analogowo-cyfrowych</li> <li>• możliwość jednoczesnego uruchomienia przynajmniej trzech interfejsów graficznych, które umożliwiają uruchamianie symulacji parametryzowanych, przypadków skrajnych i statystycznych Monte Carlo – możliwość równoległej pracy trzech użytkowników graficznego środowiska symulacyjnego</li> <li>• symulator typu SPICE</li> <li>• symulator typu Fast-SPICE (wykorzystanie wielu rdzeni procesora w jednej symulacji)</li> <li>• symulator do symulacji mieszanych analogowo-cyfrowych obsługujący języki do modelowania i opisu sprzętu: VHDL, VHDL-AMS, Verilog, SystemVerilog, Verilog-AMS</li> <li>• dedykowane analizy do symulacji układów analogowych i radiowych RF: symulacja stanu ustalonego DC, symulacja małosygnałowa AC, symulacja czasowa, symulacja szumów, analiza stabilności, symulacja typu HB (ang. harmonic balance)</li> <li>• narzędzia do wyznaczania kluczowych parametrów układów radiowych: macierz rozproszenia S, szumy fazowe, punkt intermodulacji trzeciego rzędu IP3, kompresja 1dB, współczynnik szumów</li> <li>• symulacja układów po ekstrakcji elementów pasożytniczych z opcją redukcji liczby elementów RC</li> <li>• możliwość jednoczesnego uruchomienia przynajmniej dwunastu podstawowych symulacji typu SPICE</li> <li>• możliwość jednoczesnego uruchomienia przynajmniej sześciu zaawansowanych symulacji typu Fast-SPICE lub AMS na wielu rdzeniach</li> </ul>
4.	Zaawansowany edytor topografii masek produkcyjnych układów scalonych (np. <i>Virtuoso Layout Suite XL</i> lub równoważny)	<ul style="list-style-type: none"> <li>• możliwość uruchamiania jednocześnie przynajmniej trzech niezależnych edytorów – możliwość równoległej pracy trzech użytkowników edytora topografii</li> <li>• interaktywne informowanie o naruszeniu reguł projektowych DRC</li> <li>• automatyczna generacja instancji i portów wejścia/wyjścia na podstawie schematu elektrycznego</li> <li>• sprzężenie edytora topografii z edytorem schematów elektrycznych pozwalające m.in. na: podświetlenie instancji i ścieżek w edytorze topografii poprzez zaznaczenie instancji lub ścieżki w edytorze schematów elektrycznych i odwrotnie, informowanie o niedokończonych ścieżkach i zwarciach, informowanie o nazwie prowadzonej ścieżki</li> <li>• obsługa parametryzowanych modeli przyrządów P-Cells (ang. <i>Parametrized Cells</i>) dostarczanych przez fabryki półprzewodników TSMC 40nm, 65nm, 180nm; HHGrace 90nm, 110nm; GF 22nm, 40nm, 55nm, X-Fab 130nm, 180nm; STM 28nm; VIS 110nm, 150nm; UMC 55nm, 130nm; LFoundry 110nm, 150nm</li> </ul>

Projekt współfinansowany przez Narodowe Centrum Badań i Rozwoju w ramach programu Ścieżka dla Mazowsza  
Umowa o dofinansowanie nr MAZOWSZE/0013/19-00



		<ul style="list-style-type: none"> <li>• hierarchiczne wyszukiwanie instancji, połączeń i portów</li> <li>• możliwość prowadzenia magistral i ścieżek ekranowanych</li> <li>• możliwość nakładania ograniczeń projektowych i ich automatyczna weryfikacja</li> </ul>
5.	Symulator układów cyfrowych (np. <i>Xcelium Limited Single-Core</i> lub równoważny)	<ul style="list-style-type: none"> <li>• obsługa języków opisu sprzętu: Verilog, VHDL, SystemVerilog, SystemC, PSL, Si2 Common Power Format (CPF)</li> <li>• graficzny interfejs do analizy i wyświetlania wyników z obsługą skryptów w języku TCL</li> </ul>
6.	Narzędzia do weryfikacji topografii masek produkcyjnych pod kątem reguł projektowych DRC (ang. <i>Design Rules Checker</i> ) oraz zgodności zaprojektowanej topografii ze schematem elektrycznym LVS (ang. <i>Layout Versus Schematic</i> ) (np. <i>Physical Verification System Design Rule Checker XL</i> lub równoważny oraz <i>Physical Verification System Layout vs. Schematic Checker XL</i> lub równoważny)	<ul style="list-style-type: none"> <li>• możliwość jednoczesnego uruchomienia przynajmniej trzech interfejsów graficznych do przeglądania wyników DRC i LVS oraz możliwość uruchamiania dwóch weryfikacji DRC i jednej LVS jednocześnie – możliwość równoległej pracy trzech użytkowników graficznego środowiska weryfikacyjnego</li> <li>• współpraca z plikami zawierającymi reguły projektowe dostarczanymi przez fabryki półprzewodników TSMC 40nm, 65nm, 180nm; HHGrace 90nm, 110nm; GF 22nm, 40nm, 55nm, X-Fab 130nm, 180nm; STM 28nm; VIS 110nm, 150nm; UMC 55nm, 130nm; LFoundry 110nm, 150nm</li> <li>• zintegrowany z edytorem topografii masek produkcyjnych interfejs graficzny</li> <li>• interaktywne znajdowanie i wyjaśnianie błędów</li> </ul>
7.	Narzędzie do ekstrakcji elementów pasożytniczych RC z zaprojektowanej topografii masek produkcyjnych (np., <i>Quantus QRC Extraction – XL</i> lub równoważny)	<ul style="list-style-type: none"> <li>• współpraca z plikami zawierającymi reguły projektowe dostarczanymi przez fabryki półprzewodników TSMC 40nm, 65nm, 180nm; HHGrace 90nm, 110nm; GF 22nm, 40nm, 55nm, X-Fab 130nm, 180nm; STM 28nm; VIS 110nm, 150nm; UMC 55nm, 130nm; LFoundry 110nm, 150nm</li> <li>• wykorzystanie przetwarzania wielowątkowego</li> <li>• ekstrakcja elementów pasożytniczych dla wielu przypadków skrajnych (ang. <i>corners</i>) w jednym przebiegu</li> <li>• wsparcie dla analizy IR i EM dla ekstrakcji na poziomie tranzystorów i bramek</li> <li>• ekstrakcja pojemności między połączeniami typu 3D metodą Field Solver</li> </ul>
8.	Zintegrowany system narzędzi do automatycznej syntezy układów cyfrowych od poziomu kodu w języku opisu sprzętu na poziomie RTL (ang. <i>Register Transfer Level</i> ) do projektu topografii masek produkcyjnych w formacie GDSII (np. <i>Genus Synthesis Solution</i> i <i>Innovus Implementation System</i> lub równoważne)	<ul style="list-style-type: none"> <li>• synteza logiczna obsługująca Nielimitowaną liczbę instancji</li> <li>• synteza topografii obsługująca Nielimitowaną liczbę instancji</li> <li>• obsługa języków opisu sprzętu: Verilog, SystemVerilog, VHDL</li> <li>• obsługa bibliotek komórek standardowych w formatach: .alf, TLF oraz .lib</li> <li>• obsługa bibliotek technologicznych w formacie LEF</li> <li>• obsługa ograniczeń czasowych SDC</li> <li>• generowanie: schematu w formacie DEF i Verilog, informacji o elementach pasożytniczych połączeń w formatach DSPF, SPICE i SPEF, informacji o opóźnieniach w formacie SDF, topografii masek produkcyjnych w formacie GDSII</li> <li>• wsparcie dla technik obniżających pobór mocy układu takich jak: wykorzystanie tranzystorów o różnym napięciu progowym, bramkowanie sygnału zegarowego, bramkowanie zasilania</li> <li>• wsparcie dla projektów wykorzystujących różne domeny zasilania</li> <li>• statyczna analiza czasowa</li> <li>• analiza integralności sygnałowej SI (ang. <i>Signal Integrity</i>) przy pomocy zintegrowanego narzędzia typu Signoff Timing Analysis (np. <i>Tempus Timing Signoff Solution L</i> lub równoważny)</li> <li>• analiza sieci połączeń zasilania i masy IR drop przy pomocy zintegrowanego narzędzia typu Signoff Power Analysis (np. <i>Voltus IC Power Integrity Solution - L</i> lub równoważny)</li> </ul>

Projekt współfinansowany przez Narodowe Centrum Badań i Rozwoju w ramach programu Ścieżka dla Mazowsza  
Umowa o dofinansowanie nr MAZOWSZE/0013/19-00



		<ul style="list-style-type: none"> <li>• Automatyczna generacja zaawansowanych sekwencji testowych typu ATPG, Scan Compression insertion, OPCG, SmartScan, Ultra LPCT do testowania płytek krzemowych (np. <i>Modus ATPG z Modus DFT Option</i> lub równoważne)</li> <li>• współpraca z bazą danych wykorzystywaną przez edytor schematów elektrycznych i topografii masek produkcyjnych w stylu full custom (np. <i>OpenAccess</i>)</li> <li>• wykorzystanie przetwarzania wielowątkowego</li> <li>• Narzędzia (8) maja umożliwiać kwartalną pracę w trakcie 36miesięcznego okresu licencjonowania narzędzi 2-7 trzy krotnie (trzy kwartały użytkowania)</li> </ul>
9.	Narzędzie do formalnego sprawdzania równoważności pomiędzy kodem Verilog HDL a wygenerowaną netlistą (np. <i>Conformal Low Power – XL</i> lub równoważny)	<ul style="list-style-type: none"> <li>• obsługa języków opisu sprzętu: Verilog, SystemVerilog, VHDL</li> <li>• obsługa formatu netlist typu SPICE</li> <li>• obsługa formatu .lib</li> <li>• współpraca z wieloma domenami zasilania i typami tranzystorów</li> <li>• narzędzie (9) ma umożliwiać kwartalną pracę w trakcie 36miesięcznego okresu licencjonowania narzędzi 2-7 dwu krotnie (dwa kwartały użytkowania)</li> </ul>
10.	Narzędzie do optymalizacji generacji drzewa zegarowego w technologiach nanometrowych (np. <i>Encounter Clock Concurrent Optimization</i> lub równoważny)	<ul style="list-style-type: none"> <li>• wykorzystanie przetwarzania wielowątkowego</li> <li>• implementacja drzewa zegarowego typu H</li> <li>• zmniejszanie spadków napięć na domenach zasilania</li> <li>• narzędzie (10) ma umożliwiać kwartalną pracę w trakcie 36miesięcznego okresu licencjonowania narzędzi 2-7 dwu krotnie (dwa kwartały użytkowania)</li> </ul>

#### UWAGI:

1. W przypadku zastosowania w zapytaniu ofertowym nazw własnych / marek referencyjnych, należy rozumieć, że zamówienie dotyczy produktu lub składowej produktu nie gorszego niż wskazana nazwa/marka.